

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-044153

(43)Date of publication of application : 14.02.2003

~(51)Int.Cl.

G05F 3/26
H01L 21/822
H01L 27/04
H03F 3/343

(21)Application number : 2001-229649

(71)Applicant : NIIGATA SEIMITSU KK

(22)Date of filing : 30.07.2001

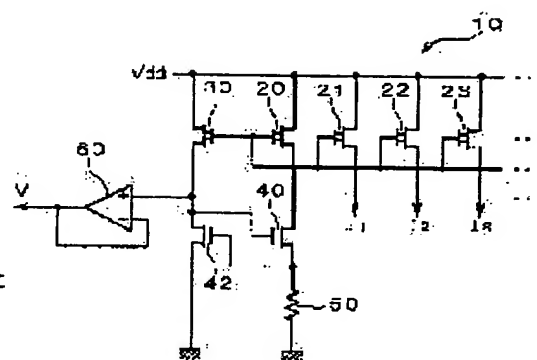
(72)Inventor : MIYAGI HIROSHI

(54) POWER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power circuit capable of reducing power consumption in the case of generating a constant voltage and a constant current and also making a circuit scale small.

SOLUTION: This power circuit 10 includes FETs 20 to 23, 30, 40 and 42, a resistance 50 and an output buffer 60. Among them, the FETs 20, 30, 40 and 42, the resistance 50 and the output buffer 60 constitute a constant voltage source. Also, the FETs 20 to 23, 30, 40 and 42 and the resistance 50 constitute a constant current source. A configuration needed to generate one type of a constant voltage and three levels of a constant current is made common.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-44153
(P2003-44153A)

(43)公開日 平成15年2月14日(2003.2.14)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

G O 5 F 3/26

G O 5 F 3/26

5 F 0 3 8

H O 1 L 21/822

H03F 3/343

A 5H420

27/04

H01L 27/04

B 5 J 0 9 1

H O 3 F 3/343

審査請求 未請求 請求項の数4 OL (全 5 頁)

(21)出願番号

特願2001-229649(P2001-229649)

(22) 出願日

平成13年7月30日(2001.7.30)

(71)出願人 591220850

新潟精密株式会社

新潟県上越市西城町2丁目5番13号

(72)発明者 宮城 弘

新潟県上越市西城町2丁目5番13号 新潟
精密株式会社内

(74) 代理人 100103171

弁理士 雨貝 正彦

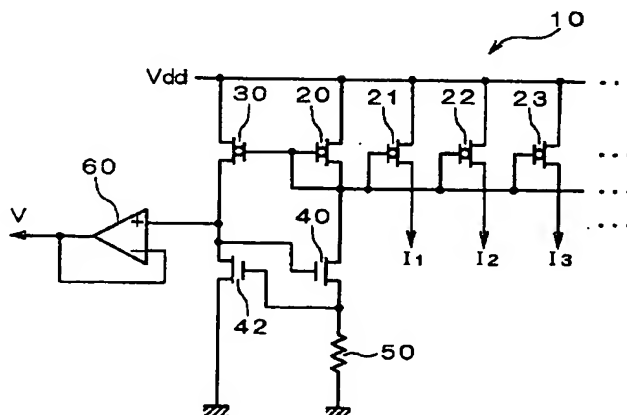
最終頁に続く

(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 定電圧と定電流を生成する場合の消費電力を少なくするとともに回路規模を小さくすることができる電源回路を提供すること。

【解決手段】 電源回路１０は、ＦＥＴ２０～２３、３０、４０、４２、抵抗５０、出力バッファ６０を含んで構成されている。この中で、ＦＥＴ２０、３０、４０、４２、抵抗５０および出力バッファ６０が定電圧源を構成している。また、ＦＥＴ２０～２３、３０、４０、４２および抵抗５０が定電流源を構成している。１種類の定電圧と３種類の定電流を生成するために必要な構成が共通化されている。



【特許請求の範囲】

【請求項 1】 基準電圧を生成する基準電圧生成部と、前記基準電圧に対応する所定の定電圧を生成する出力バッファと、前記基準電圧に対応する所定の定電流を生成する電流駆動部と、を備えることを特徴とする電源回路。

【請求項 2】 請求項 1 において、前記電流駆動部は、複数の定電流を生成することを特徴とする電源回路。

【請求項 3】 請求項 2 において、前記電流駆動部は、前記基準電圧がゲートに印加されて前記基準電圧生成部に含まれる FET とともにカレントミラー回路を構成する複数の FET を有することを特徴とする電源回路。

【請求項 4】 請求項 3 において、前記複数の FET のそれぞれのゲート長 L およびゲート幅 W を変えることにより、前記電流駆動部によって複数の異なる定電流を生成することを特徴とする電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、各種の回路内において定電流と定電圧を発生する電源回路に関する。

【0002】

【従来の技術】 従来から、各種の回路には定電流源や定電圧源が用いられている。最も一般的には、電流源とカレントミラー回路を用いて構成される定電流源が知られている。例えば、2つの FET を用いた差動増幅器が複数段備わっている場合には、格段の差動増幅器に対応して定電流回路が設けられる。また、所定の基準電圧を生成したり、回路内の各部に供給する一定の動作電圧を生成するために定電圧源が使用される。

【0003】

【発明が解決しようとする課題】 ところで、上述したように回路内に定電圧源や複数の定電流源が含まれている場合にそれぞれが別々に動作しており、動作に必要な電力が個別に消費されるため、回路全体の消費電力が多くなってしまうという問題があった。特に、多くの定電流源を含む場合に、同じような構成が複数存在することになり、回路規模が大きくなってしまいう問題があった。

【0004】 本発明は、このような点に鑑みて創作されたものであり、その目的は、定電圧と定電流を生成する場合の消費電力を少なくするとともに回路規模を小さくすることができる電源回路を提供することにある。

【0005】

【課題を解決するための手段】 上述した課題を解決するために、本発明の電源回路は、基準電圧を生成する基準電圧生成部と、基準電圧に対応する所定の定電圧を生成する出力バッファと、基準電圧に対応する所定の定電流

を生成する電流駆動部とを備えている。定電圧および定電流を生成するために必要な基準電圧を生成する基準電圧生成部を共通に用いることができるため、回路規模を小さくすることができるとともに、基準電圧生成部を個別に備える場合に比べて消費電力を低減することができる。

【0006】 また、上述した電流駆動部は、複数の定電流を生成することが望ましい。生成する定電流の数を増やすことにより、基準電圧生成部を共用化することによる効果（回路規模縮小、低消費電力化）を高めることが可能になる。また、上述した電流駆動部は、基準電圧がゲートに印加されて基準電圧生成部に含まれる FET とともにカレントミラー回路を構成する複数の FET を有することが望ましい。これにより、各 FET 毎に別々に定電流を発生することが可能になる。

【0007】 また、上述した複数の FET のそれぞれのゲート長 L およびゲート幅 W を変えることにより、電流駆動部によって複数の異なる定電流を生成することが望ましい。これにより、必要に応じて数種類の定電流を発生することが可能になる。

【0008】

【発明の実施の形態】 以下、本発明を適用した一実施形態の半導体装置について詳細に説明する。図 1 は、本実施形態の電源回路の回路図である。図 1 に示す電源回路 10 は、FET 20~23、30、40、42、抵抗 50、出力バッファ 60 を含んで構成されている。この電源回路 10 は、所定の定電圧を発生する定電圧源としての機能と、複数の定電流を発生する定電流源としての機能を有している。次に、これら定電圧源および定電流源のそれぞれについて説明する。

【0009】 定電圧源の構成および動作

上述した電源回路 10 の構成の中で、FET 20、30、40、42、抵抗 50 および出力バッファ 60 が定電圧源を構成している。出力バッファ 60 を除く FET 20、30、40、42、抵抗 50 が基準電圧生成部に対応している。

【0010】 p チャネル型の FET 20 は、ドレインが動作電圧 V_{dd} の電源ラインに接続されているとともに、ソースが n チャネル型の FET 40 のドレイン・ソース間および抵抗 50 を介して接地されている。また、FET 20 は、ゲートとソースが接続されている。

【0011】 p チャネル型の FET 30 は、ドレインが電源ラインに接続されているとともに、ソースが n チャネル型の FET 42 のドレイン・ソース間を介して接地されている。これら 2 つの FET 20、30 の各ゲートは共通に接続されている。また、FET 40 のゲートが FET 42 のドレインに、FET 42 のゲートが FET 40 のソースにそれぞれ接続されている。

【0012】 FET 40 のドレイン・ソース間を流れる電流を I とすると、この電流 I が増加すると、抵抗 50

の一方端に接続されたFET42のゲート電圧が上昇する。これにより、FET42のドレイン・ソース間の抵抗が減少するため、FET42のドレインに接続されたFET40のゲート電圧が低下し、FET40のドレイン・ソース間に流れる電流が減少する。反対に、FET40のドレイン・ソース間に流れる電流 I が減少すると、抵抗50の一方端に接続されたFET42のゲート電圧が低下する。これにより、FET42のドレイン・ソース間の抵抗が増加するため、FET42のドレインに接続されたFET40のゲート電圧が上昇し、FET40のドレイン・ソース間に流れる電流が増加する。

【0013】上述したように、FET40を流れる電流 I が変化する場合にこの変化を抑制するようにFET40のゲート電圧が変動するため、この電流 I が所定の値で安定する。この安定状態においてFET42のドレイン電位も所定の値を維持するため、出力バッファ60の出力端子には一定の出力電圧が現れる。

【0014】定電流源の構成および動作

上述した電源回路10の構成の中で、FET20~23、30、40、42および抵抗50が定電流源を構成している。この定電流源においても、上述した定電圧源に含まれる基準電圧生成部(FET20、30、40、42、抵抗50)が共通に用いられている。また、FET21、22、23のそれぞれが電流駆動部に対応している。

【0015】pチャネル型のFET21、22、23のそれぞれのゲートは、FET20のゲートと共通に接続されている。これにより、FET21とFET20によって第1のカレントミラー回路が構成される。上述したように、FET40のドレイン・ソース間には一定の電流が流れるため、FET20のドレイン・ソース間にも一定の電流が流れ、FET20のゲートおよびソースが所定の電位となる。したがって、FET21のゲートも所定の電位を維持し、ドレイン・ソース間に一定の電流 I_1 が流れる。仮に、FET20、21のゲート長 L とゲート幅 W が等しい場合には、FET40のドレイン・ソース間に流れる電流 I に等しい電流 I_1 がFET21によって生成される。また、FET21のゲート長 L とゲート幅 W をFET20のゲート長 L とゲート幅 W に対して異ならせることにより、FET40のドレイン・ソース間に流れる電流 I と異なる電流 I_1 がFET21によって生成される。

【0016】同様に、FET22とFET20によって第2のカレントミラー回路が構成される。したがって、仮にFET20、22のゲート長 L とゲート幅 W が等しい場合には、FET40のドレイン・ソース間に流れる電流 I に等しい電流 I_2 がFET22によって生成される。また、FET22のゲート長 L とゲート幅 W をFET20のゲート長 L とゲート幅 W に対して異ならせることにより、FET40のドレイン・ソース間に流れる電

流 I と異なる電流 I_2 がFET22によって生成される。

【0017】FET23とFET20によって第3のカレントミラー回路が構成される。したがって、仮にFET20、23のゲート長 L とゲート幅 W が等しい場合には、FET40のドレイン・ソース間に流れる電流 I に等しい電流 I_3 がFET23によって生成される。また、FET23のゲート長 L とゲート幅 W をFET20のゲート長 L とゲート幅 W に対して異ならせることにより、FET40のドレイン・ソース間に流れる電流 I と異なる電流 I_3 がFET23によって生成される。

【0018】このように、本実施形態の電源回路10は、所定の定電圧と3種類の同じあるいは異なる定電流を生成している。特に、定電圧を生成する定電圧源に含まれる基準電圧生成部(FET20、30、40、42、抵抗50)は、定電流を生成する定電流源においても共通に用いられているため、これらの定電圧源と定電流源を別々に備える場合に比べて、回路規模を大幅に縮小することができる。また、電力を消費する部分が共通化されるため、定電流源と定電圧源を別々に備える場合に比べて、消費電力を抑えることができる。

【0019】なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した実施形態では、定電流源を構成するFET21、22、23の各ソース側に負荷が接続される場合の構成を説明したが、ドレイン側に負荷が接続されるようにしてもよい。

【0020】図2は、電源回路の変形例を示す回路図である。図2に示す電源回路110は、FET20、30、40、42、71~73、抵抗50、81~83、出力バッファ60を含んで構成されている。この電源回路110は、図1に示した電源回路10に対して、FET21~23をFET71~73および抵抗81~83に置き換えた構成を有している。

【0021】具体的には、FET71とFET40によって第1のカレントミラー回路が構成されており、FET71のゲート長 L とゲート幅 W によって決まる所定の電流 I_1 がFET71のドレイン・ソース間に流れる。同様に、FET72とFET40によって第2のカレントミラー回路が構成されており、FET72のゲート長 L とゲート幅 W によって決まる所定の電流 I_2 がFET72のドレイン・ソース間に流れる。FET73とFET40によって第3のカレントミラー回路が構成されており、FET73のゲート長 L とゲート幅 W によって決まる所定の電流 I_3 がFET73のドレイン・ソース間に流れる。

【0022】また、上述した実施形態では、1つの出力バッファ60によって定電圧を生成していたが、この定電圧を供給する際の許容電流値を増やす場合には、出力バッファ60の数を増やせばよい。図3は、電源回路の

他の変形例を示す回路図である。図3に示す電源回路10Aは、FET20~23、30、40、42、抵抗50および3つの出力バッファ60を含んで構成されている。図1に示した電源回路10に対して、出力バッファ60の数を1つから3つに変更した点が異なっている。これら3つの出力バッファ60は、ともにFET42のドレインに接続されており、それぞれの許容電流値の範囲内で負荷電流を流すことができる。これにより、大きな負荷電流を流すことが可能になる。

【0023】また、上述した実施形態では、3種類の定電流 I_1 、 I_2 、 I_3 を生成するようにしたが、生成する定電流の数は2あるいは4以上であってもよい。

【0024】

【発明の効果】上述したように、本発明によれば、定電

圧および定電流を生成するために必要な基準電圧を生成する基準電圧生成部を共通に用いることができるため、回路規模を小さくすることができるとともに、基準電圧生成部を個別に備える場合に比べて消費電力を低減することができる。

【図面の簡単な説明】

【図1】一実施形態の電源回路の回路図である。

【図2】電源回路の変形例を示す回路図である。

【図3】電源回路の他の変形例を示す回路図である。

【符号の説明】

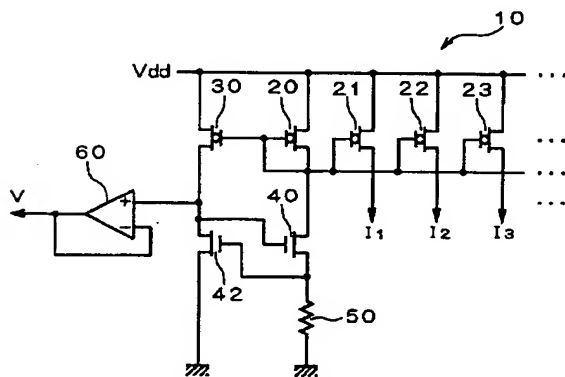
10 電源回路

20~23、30、40、42 FET

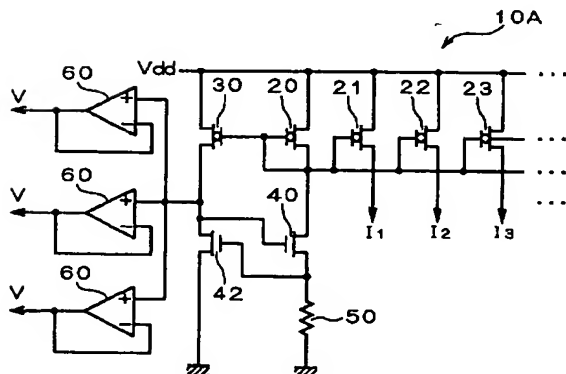
50 抵抗

60 出力バッファ

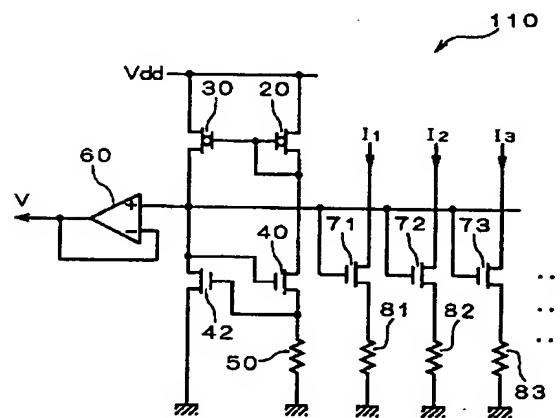
【図1】



【図3】



【図2】



フロントページの続き

Fターム(参考) 5F038 AV06 BB01 BB04 CD08 DF06
DF08 EZ20
5H420 NA12 NA16 NA17 NA28 NA29
NB02 NB03 NB12 NB16 NB20
NB25 NB28 NB33 NB36 NC02
NC03 NC14 NC23 NE26
5J091 AA03 AA43 AA58 AA59 CA36
CA92 FA14 HA09 HA17 HA25
KA03 KA06 KA09 KA11 MA21